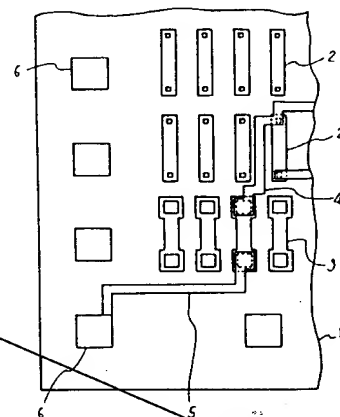


(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 2-284445 (A) (43) 21.11.1990 (19) JP
 (21) Appl. No. 64-106250 (22) 25.4.1989
 (71) NEC CORP (72) TOSHIJI AYABE
 (51) Int. Cl.⁵ H01L21/82, H01L27/04, H01L27/118

PURPOSE: To avoid the insulation breakdown of a contact part caused by field concentration by a method wherein a first unit resistor is connected to a pad electrode through a second unit resistor which has a broader contact part than the first unit resistor.

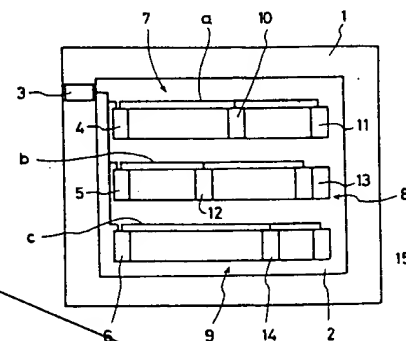
CONSTITUTION: Unit resistors 2 are provided on the main surface of a semiconductor substrate 1 so as to take the form of an array. In order to avoid the insulation breakdown of a contact part caused by field concentration, unit resistors 3 which have broader contact parts than the unit resistors 2 are provided between the unit resistors 2 and pad electrodes 6 provided near the circumference of the substrate 1. The pad electrode 6 is connected to the one terminal of the unit resistor 3 with a wiring 5 and the other terminal of the unit resistor 3 is connected to the unit resistor 2 with a wiring 4.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 2-284446 (A) (43) 21.11.1990 (19) JP
 (21) Appl. No. 64-104410 (22) 26.4.1989
 (71) HITACHI LTD (72) KAZUO KATO(1)
 (51) Int. Cl.⁵ H01L21/82, H01L21/66, H01L27/04, H01L27/118

PURPOSE: To relieve the congestion of the wirings of a semiconductor device having diagnosis function and improve the utilization of the gate by a method wherein, prior to the arrangement of normal wirings, diagnosis signal lines are preferentially arranged so as to have their wiring lengths short.

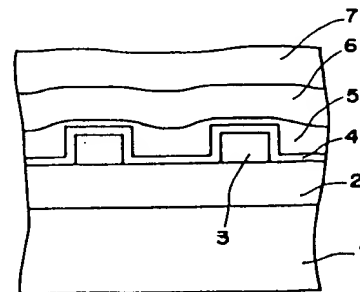
CONSTITUTION: First, self-diagnosis-functioned flip-flops (FFs) 10-15, diagnosis buffers 4-6, etc., are so arranged in an inner region 2 as to provide satisfactory arrangement of normal signal lines. The buffers 4-6 are arranged on the end parts of gate-array-type parts 7-9 in order to provide satisfactory wirings between an input buffer 3 and themselves. Then, in accordance with the arrangement of the FFs 10-15, diagnosis signal lines are so arranged as to provide short wiring lengths. In other words, the FFs 10 and 11, FFs 12 and 13 and FFs 14 and 15 are straightly connected to each other with the diagnosis signal lines (a), (b) and (c) respectively. Then the normal signal lines are arranged in the next stage.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 2-284447 (A) (43) 21.11.1990 (19) JP
 (21) Appl. No. 64-104604 (22) 26.4.1989
 (71) OKI ELECTRIC IND CO LTD (72) TAKESHI HASHIMOTO
 (51) Int. Cl.⁵ H01L21/90, H01L21/314

PURPOSE: To eliminate defects in upper and lower layer wirings by a method wherein a plasma CVD SiO₂ film with a tensile stress and a plasma CVD SiO₂ film with a compression stress and formed as the lower layer film and the upper layer film of an interlayer insulating film in a laminated structure respectively.

CONSTITUTION: After a first layer metal wiring 3 is formed on the insulating film 2 of a semiconductor substrate 1, the lower layer film 4 of an interlayer insulating film is formed. The lower layer film 4 is composed of a plasma CVD SiO₂ film with a tensile stress. Then an SOG coating film 5 is formed on the film 4 as the middle layer of the interlayer insulating film to obtain a flat surface. Then a plasma CVD SiO₂ film with a compression stress is formed on the film 5 as the upper layer film 6 of the interlayer insulating film and a second layer metal wiring 7 is formed on the film 6. With this constitution, defects in the first and second layer metal wirings 3 and 7 can be eliminated.



⑫ 公開特許公報(A)

平2-284447

⑮ Int. Cl.⁵H 01 L 21/90
21/314

識別記号

M
M

庁内整理番号

6810-5F
6810-5F

④ 公開 平成2年(1990)11月21日

審査請求 未請求 請求項の数 1 (全4頁)

⑤ 発明の名称 半導体装置の製造方法

⑥ 特 願 平1-104604

⑦ 出 願 平1(1989)4月26日

⑧ 発明者 橋 本 毅 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑨ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑩ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に下層配線を形成し、その上に層間絶縁膜を形成し、その上に上層配線を形成するようにした半導体装置の製造方法において、

積層構造層間絶縁膜の下層膜として引張り応力のプラズマCVD SiO₂膜を形成し、同絶縁膜の上層膜として圧縮応力のプラズマCVD SiO₂膜を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置の製造方法に係り、特に多層配線構造における層間絶縁膜の形成方法に関するものである。

(従来技術)

従来、多層配線構造における層間絶縁膜としては公知のCVD技術による絶縁膜(SiO₂膜、PSG膜)を使用しているが、多層配線での段差形状を

考えて層間絶縁膜の平坦化が行われており、その結果として層間絶縁膜構成は複雑になっている。

公知の層間絶縁膜平坦化技術として代表的なものは、SOG中塗り法、エッチバックによる平坦化法がある。

第1図はSOG中塗り法を採用した半導体装置の一例を示す。この図において、1は半導体基板、2は絶縁膜であり、その上に第1層メタル配線3を形成した後、層間絶縁膜の下層膜4を形成する。その後、下層膜4上に層間絶縁膜の中間層としてSOG塗布膜(スピンオンガラス膜)5を形成し、表面を平坦化する。その後、このSOG塗布膜5上に層間絶縁膜の上層膜6を形成した後、その上に第2層メタル配線7を形成する。

第2図はエッチバックによる平坦化法を採用した半導体装置の一例を示す。この図において、11は半導体基板、12は絶縁膜であり、その上に第1層メタル配線13を形成した後、層間絶縁膜の下層膜14を形成する。その後、図示していないが、下層膜14上にレジストを塗布した上で、

この問題点について従来例を種々実験した結果を下記表 1 に示す。

表 1

	層間絶縁膜構造	メタル配線欠損		トランジスタ寿命比 (基準値 1)
		第1層	第2層	
中塗り	P-SiO ₂ /SOG/P-SiO ₂	△	○	~ 1
	P-SiO ₂ /SOG/PSG	△	×	~ 1/10
	PSG/SOG/P-SiO ₂	○	○	1/100 ~ 1/10
	PSG/SOG/PSG	○	×	1/100 ~ 1/10
エッチバック	P-SiO ₂ /P-SiO ₂	△	○	~ 1
	P-SiO ₂ /PSG	△	×	~ 1/10
	PSG/P-SiO ₂	○	○	~ 1/10
	PSG/PSG	○	×	1/100 ~ 1/10

ここで、PSG膜は公知の常圧CVD膜であり、P-SiO₂膜は公知のプラズマCVD膜である。膜厚はそれぞれでのトータル膜厚が同一になるように設定しており、表 1 では約 8000 Å である。メタ

そのレジストと下層膜 14 とでエッチング速度が同一になる条件でレジストがすべて除去されるまで全面エッチバックを施し、図のように下層膜 14 の平坦化を図る。その後、下層膜 14 上に層間絶縁膜の上層膜 15 を形成し、その上に第 2 層メタル配線 16 を形成する。

以上の説明から明らかなように、SOG 中塗り法では層間絶縁膜は 3 層構造、エッチバックによる平坦化法では 2 層構造となり、いずれの場合にも上層膜と下層膜を有する。

この上層膜と下層膜には、一方が PSG 膜、他方が SiO₂ 膜というように PSG 膜と SiO₂ 膜の組み合わせ、あるいは上層膜と下層膜の両方に PSG 膜または SiO₂ 膜のいずれか一方を使用している。(発明が解決しようとする課題)

しかるに、層間絶縁膜の上層膜と下層膜が上記のような膜構成の場合には、メタル配線での欠損の発生、層間絶縁膜に対するホットキャリア注入によるトランジスタ寿命の劣化のどちらか一方があるいは両方が同時に起こるという問題がある。

3

ル配線は第 1 層、第 2 層ともに Al-Si 配線 (5000 Å) である。トランジスタの寿命は $V_g = 8 \text{ V}$ 、 $V_d = 4 \text{ V}$ での g_m の 10% 劣化で求めている。メタル配線の欠損は、× 印が配線の 1/3 以上の欠損を示し、△ 印が 1/3 未満の欠損を示している。

この表 1 から分ることは、第 1 層メタル配線の欠損は下層膜が PSG 膜であれば発生しないし、第 2 層メタル配線の欠損は上層膜が P-SiO₂ 膜であれば発生しないし、トランジスタ寿命の劣化は下層膜と上層膜が P-SiO₂ 膜であれば起こらないということである。しかるに、従来技術の膜構成では、これらのすべてを満足することはできない。

この発明は上記の点に鑑みなされたもので、層間絶縁膜による配線の欠損とトランジスタ寿命の劣化のすべてを解決できる半導体装置の製造方法を提供することを目的とする。

(課題を解決するための手段)

この発明は、半導体装置の製造方法、特に多層配線構造での層間絶縁膜形成方法において、積層構造層間絶縁膜の下層膜として引張り応力のブラ

5

4

ズマCVD SiO₂膜を形成し、同絶縁膜の上層膜として圧縮応力のプラズマCVD SiO₂膜を形成するものである。

(作用)

PSG膜は、引張り応力である。この発明において、下層膜として引張り応力のプラズマCVD SiO₂膜を形成すれば、応力的には下層膜として PSG膜を形成した場合と同等になり、下層配線の欠損を防止できることは表 1 から明らかである。一方、上層膜として、通常圧縮応力のプラズマCVD SiO₂膜を形成すれば、上層配線の欠損を防止できることは表 1 から明らかである。また、上層膜と下層膜の両方をプラズマCVD SiO₂膜で形成すれば、ホットキャリア注入によるトランジスタ寿命の劣化を防止できることは表 1 から明らかである。

なお、プラズマCVD SiO₂膜は通常前述のように圧縮応力であるが、例えば SiH₄ ガスと N₂O ガスを用いてプラズマCVD SiO₂膜を形成する場合、一例として SiH₄/N₂O 流量比を変えることにより引

6

張り応力とすることができる。すなわち、通常 $\text{SiH}_4/\text{N}_2\text{O}$ 流量比が0.06未満で圧縮応力の膜が形成されるが、流量比を0.06~0.20程度とすることにより引張り応力の膜が形成される。

(実施例)

以下この発明の一実施例を説明する。この発明の一実施例で製造される半導体装置の構造は第1図と同一である。そこで、この第1図を再度用いてこの発明の一実施例を説明することとする。

第1図において、1は半導体基板、2はその表面の絶縁膜であり、この絶縁膜2上に第1層メタル配線3を形成した後、層間絶縁膜の下層膜4を形成する。ここで、層間絶縁膜の下層膜4としては、プラズマCVD技術を用いて引張り応力のプラズマCVD SiO_2 膜（以下P- SiO_2 膜と記す）を形成する。

通常、プラズマCVD技術によるP- SiO_2 膜は圧縮応力膜である。したがって、CVD条件の変更により引張り応力膜を形成する。例えば SiH_4 ガスと N_2O ガスを用いてP- SiO_2 膜を形成する場合

7

エッチバック法で層間絶縁膜の平坦化を図る場合にも同様にして下層膜として引張り応力のプラズマCVD SiO_2 膜、上層膜として圧縮応力のプラズマCVD SiO_2 膜を形成することができる。

(発明の効果)

以上詳細に説明したように、この発明によれば、積層構造層間絶縁膜の下層膜として引張り応力のプラズマCVD SiO_2 膜を形成したので、下層配線の欠損を防止でき、また上層膜としては圧縮応力のプラズマCVD SiO_2 膜を形成したので上層配線の欠損も防止でき、さらに上層膜と下層膜の両方が SiO_2 膜であるから、ホットキャリア注入によるトランジスタ寿命の劣化を防ぐことができる。このように、この発明は、配線とトランジスタの信頼性を格段に向上させることができる。

4. 図面の簡単な説明

第1図はSOG中塗り法による層間絶縁膜平坦化技術を採用した半導体装置を示す断面図、第2図はエッチバックによる平坦化技術を採用した半導体装置を示す断面図である。

9

では、一例として $\text{SiH}_4/\text{N}_2\text{O}$ 流量比を0.06~0.20程度の範囲で変えることにより、必要な引張り応力値（例えば $1 \times 10^9 \text{ dyn/cm}^2$ ）のP- SiO_2 膜を形成する。この時、CVDの他の条件としては、RFパワー300W程度、圧力300mTorr程度、CVD温度300~400℃程度とする。また、P- SiO_2 膜の膜厚は、SOG中塗り法に適した厚さとする。

このようにして引張り応力のP- SiO_2 膜（下層膜4）を形成したら、次にその上に層間絶縁膜の中間層としてSOG塗布膜5を形成し、表面を平坦とする。その後、その上に層間絶縁膜の上層膜6を形成する。この上層膜6としては、通常のプラズマCVD技術（ $\text{SiH}_4/\text{N}_2\text{O}$ 流量比0.06未満、他の条件は下層膜4形成時と同じ）により、圧縮応力（応力値は下層膜4と同じで例えば $1 \times 10^9 \text{ dyn/cm}^2$ ）のプラズマCVD SiO_2 膜を形成する。その後、その上に第2層メタル配線7を形成する。

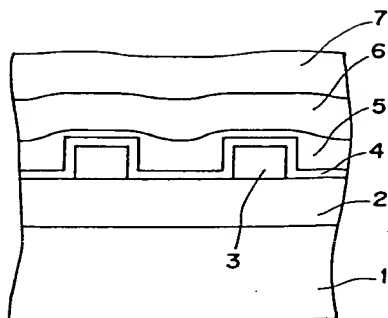
なお、この一実施例は、SOG中塗り法で平坦化層間絶縁膜を形成する場合であるが、第2図の

8

1. 11…半導体基板、3. 13…第1層メタル配線、4. 14…下層膜、6. 15…上層膜、7. 16…第2層メタル配線。

特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘

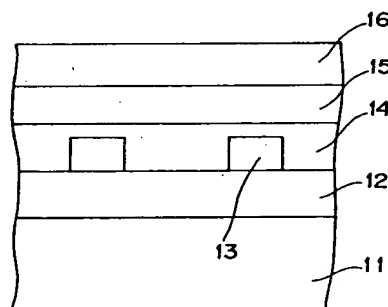




- 1: 半導体基板
- 2: 絶縁膜
- 3: 第1層メタル配線
- 4: 下層膜
- 5: SOG塗布膜
- 6: 上層膜
- 7: 第2層メタル配線

SOG中塗り平坦化による装置

第 1 図



- 11: 半導体基板
- 12: 絶縁膜
- 13: 第1層メタル配線
- 14: 下層膜
- 15: 上層膜
- 16: 第2層メタル配線

エッチバック平坦化法による装置

第 2 図